

OP 12473



(19) BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES

PATENT- UND
MARKENAMT

(12) Offenlegungsschrift

(10) DE 198 02 365 A 1

(51) Int. Cl. 6:

32
H 04 L 12/56

DE 198 02 365 A 1

(21) Aktenzeichen: 198 02 365.0
 (22) Anmeldetag: 22. 1. 98
 (23) Offenlegungstag: 5. 8. 99

(71) Anmelder:
 Siemens AG, 80333 München, DE

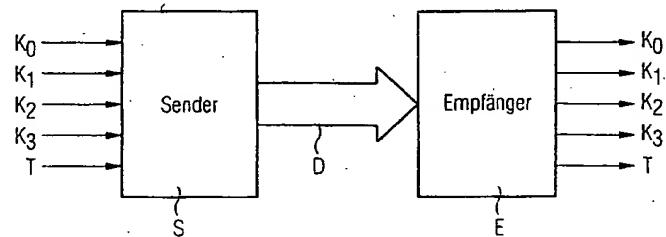
(72) Erfinder:
 Zellerhoff, Thomas, Dipl.-Ing., 81371 München, DE
 (56) Entgegenhaltungen:
 EP 04 76 444 A1
 EP 02 62 457 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Übertragungsverfahren und Übertragungssystem

(57) In paralleler Form zugeführte digitale Daten einer bestimmten Anzahl von eingangsseitigen Datenkanälen (K_0-K_n) werden in einen seriellen Datenstrom (D) umgesetzt und bei Empfang mit Hilfe einer entsprechenden Demultiplexierung wieder in parallele ausgangsseitige Datenkanäle (K_0-K_n) aufgeteilt. Um die Zuordnung der parallel eingelesenen Bits der eingangsseitigen Datenkanäle (K_0-K_n) ohne großen schaltungstechnischen Aufwand und ohne zusätzliche Synchronisierinformationen zu ermöglichen, wird vorgeschlagen, den in Form von ATM-Zellen übertragenen seriellen Datenstrom (D) auf das Auftreten einer bestimmten Bitfolge hin zu überwachen, die ohnehin mit jedem Zellenformat übertragen wird. Anhand dieser charakteristischen Bitfolge kann die Lage der einzelnen Bits der entsprechenden Datenkanäle (K_0-K_n) im seriellen optischen Datenstrom ermittelt werden, so daß eine korrekte ausgangsseitige Parallelisierung des seriellen Datenstromes (D) möglich ist.



DE 198 02 365 A 1

Beschreibung

Die vorliegende Erfindung betrifft ein Verfahren zum Übertragen von Daten in einem ATM-Übertragungssystem sowie ein ATM-Übertragungssystem, insbesondere ein ATM-Breitband-Übertragungssystem.

Im Laufe der schnellen Entwicklung der Nachrichtentechnik in den letzten Jahren wurden viele neue Übertragungs- bzw. Vermittlungsprinzipien für verschiedene Übertragungarten in digitalen Kommunikationsnetzen entwickelt. Bei dem sogen. STM-Übermittlungsprinzip (Synchronous Transfer Mode) handelt es sich um ein synchrones Übertragungs- bzw. Übermittlungsverfahren. Dabei werden die Daten verschiedener Datenkanäle innerhalb verschiedener Zeitschlüsse (Time Slots) seriell übertragen, wobei die einzelnen Zeitschlüsse zu Rahmen zusammengefaßt sind. Jeder Datenkanal ist ein bestimmter Zeitschlitz innerhalb eines Rahmens zugeordnet. Zur Synchronisation eines jeden Rahmens wird ein Rahmensynchronwort übertragen, so daß jeder einem bestimmten Datenkanal zugeordnete Zeitschlitz eines Rahmens einen festen zeitlichen Abstand zum Rahmensynchronwort aufweist. Jeder Zeitschlitz kann eine relativ kleine Anzahl von Bits, z. B. 8 Bits, enthalten und erscheint zeitlich in gleichbleibenden Abständen. Mit Hilfe dieses STM-Prinzips lassen sich jedoch stark unterschiedliche Bitraten nicht einheitlich beherrschen, d. h. bei Anwendung des STM-Prinzips müßten insbesondere bei der derzeit angestrebten Breitband-Signalübertragung unterschiedliche Kommunikationsnetze für unterschiedliche Bitratenbereiche vorgesehen werden. Ein einheitliches digitales Breitband-Kommunikationsnetz (Broadband Integrated Services Digital Network, BISDN) läßt sich mit Hilfe des STM-Prinzips nicht realisieren.

Wesentlich flexibler ist dagegen das sogen. ATM-Übertragungs- bzw. Vermittlungsprinzip (Asynchronous Transfer Mode). Gemäß diesem ATM-Prinzip werden anstelle der Zeitschlüsse des STM-Prinzips nunmehr Zellen übertragen, die normgemäß 53 Oktette bzw. Bytes als Nutzinformationen enthalten. Diese ATM-Zellen werden abhängig von der Bandbreite des Übertragungsmediums mit konstanter Übertragungsgeschwindigkeit übertragen. Sollen keine Nachrichten übertragen werden, werden Leerzellen benutzt. Dem Informationsfeld jeder Zelle, welches die eigentliche Nutzinformation enthält, wird ein sogen. "Header" hinzugefügt, der Steuer- bzw. Adressinformationen für die entsprechende Zelle enthält.

Fig. 3a zeigt eine Darstellung zur Erläuterung des ATM-Prinzips. Wie in **Fig. 3a** gezeigt ist, werden mehrere Zellen Z nacheinander (in Pfeilrichtung) von einem Sender zu einem Empfänger übertragen. Jede Zelle umfaßt dabei, wie bereits beschrieben worden ist, einen Header mit Adress- oder Steuerinformationen sowie ein Informationsfeld mit der eigentlichen Nutzinformation. Gemäß der festgelegten Norm umfaßt das Informationsfeld 48 Oktette, während der Header 5 Oktette aufweist, so daß jede Zelle durch 53 Oktette bzw. Bytes gebildet ist. Diesem Zellenformat können zusätzliche (Header)-Oktette hinzugefügt werden, die bei der Übertragung der Zelle von einem sendenden Teilnehmer zu einem empfangenden Teilnehmer für das Routing der Zelle verwendet werden können.

Bei neueren ATM-Breitband-Übertragungssystemen bzw. -Kommunikationsnetzen werden die Datenströme zwischen den einzelnen Sende- und Empfangsbaugruppen optisch über Lichtwellenleiter übertragen. Dabei erlauben diese ATM-Breitband-Kommunikationsnetze einen sehr hohen Datendurchsatz, der jedoch nicht von den dabei verwendeten Koppelementen, die in der Regel in der CMOS-Technik ausgebildet sind, aufgrund technologischer Beschränkungen

kungen verarbeitet werden kann. Daher werden die zu übertragenden Daten Sendebausteinen parallel über mehrere Datenleitungen zugeführt und von den Sendebausteinen seriell gemultiplext über den Lichtwellenleiter an Empfangsbausteine übertragen, die den seriellen ATM-Datenstrom wieder ausgangsseitig zur weiteren Verarbeitung auf entsprechende parallele Datenkanäle aufteilen.

Dieses Prinzip ist in **Fig. 3b** dargestellt. Ein als Sender dienendes sogen. optisches ATM-Link empfängt digitale Daten mehrerer Datenkanäle K₀-K_n. Des Weiteren wird dem Sender S ein Taktsignal T zugeführt. Der Sender S liest somit abhängig von dem Taktsignal T jeweils parallel n + 1 Bits ein und setzt diese Bits in einen seriellen gemultiplexten ATM-Datenstrom D mit einer entsprechend höheren Datenübertragungsrate um, wobei dieser Datenstrom D optisch an einen Empfänger E übertragen wird. Dieser Empfänger E parallelisiert den empfangenen seriellen Datenstrom D und gibt ihn wieder parallel über ausgangsseitige Datenkanalleitungen K₀-K_n zusammen mit einem Taktsignal T aus.

Anhand der vorhergehenden Beschreibung ist offensichtlich, daß das Demultiplexen des seriellen Datenstroms D in dem Empfänger E ein besonderes Problem darstellt. Zum Demultiplexen des Datenstromes D muß der Empfänger E wissen, welches Bit des seriellen Datenstroms D welchem ausgangsseitigen Datenkanal K₀-K_n zuzuordnen ist. Bekannte Lösungen sehen hierzu vor, senderseitig dem eigentlichen seriellen Datenstrom D zusätzliche Synchronisierinformationen hinzuzufügen, die im Empfänger E ausgewertet werden und die Zuordnung der in dem seriellen Datenstrom D übertragenen digitalen Informationen zu den einzelnen ausgangsseitigen Datenkanälen K₀-K_n definieren. So können beispielsweise zusätzliche Synchronisierinformationen mit Hilfe einer im Sender S durchgeföhrten Kodierung, insbesondere einer Blockkodierung, hinzugefügt werden. Durch die Blockkodierung im Sender S wird dem eigentlichen seriellen Datenstrom D eine Redundanz hinzugefügt, wodurch die serielle Datenebene des Datenstromes D ansteigt. Zum anderen ist im Empfänger E ein relativ hoher Schaltungsaufwand erforderlich, um die dem seriellen Datenstrom D hinzugefügten Synchronisierinformationen auswerten zu können. Dies alles hat zur Folge, daß zur Übertragung der Daten der eingangsseitigen Datenkanäle K₀-K_n beispielsweise keine billigen Standardlaser eingesetzt werden können.

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, ein Übertragungsverfahren für ein ATM-Übertragungssystem sowie ein entsprechendes ATM-Übertragungssystem zu schaffen, wobei mit relativ einfachem schaltungstechnischen Aufwand eine empfängerseitige Demultiplexierung des seriell übertragenen Datenstromes möglich ist. Insbesondere soll eine korrekte Demultiplexierung des seriellen Datenstromes ohne Hinzufügen zusätzlicher Synchronisierinformationen und damit ohne Hinzufügen von Redundanz möglich sein.

Diese Aufgabe wird gemäß der vorliegenden Erfindung durch ein Verfahren mit den Merkmalen des Anspruches 1 sowie ein ATM-Übertragungssystem mit den Merkmalen des Anspruches 14 gelöst. Die Unteransprüche beschreiben jeweils vorteilhafte und bevorzugte Ausführungsbeispiele der vorliegenden Erfindung, die ihrerseits zu einer möglichst einfachen Datenübertragung beitragen.

Gemäß der vorliegenden Erfindung werden in Übereinstimmung mit dem Stand der Technik weiterhin die digitalen Daten der senderseitig vorliegenden parallelen Datenkanäle bitweise in einen seriellen ATM-Datenstrom umgesetzt, d. h. gemultiplext, wobei die seriellen Daten des ATM-Datenstromes in Form der eingangs beschriebenen ATM-Zellen übertragen werden. Innerhalb jeder Zelle wird jedoch

gemäß der vorliegenden Erfindung eine charakteristische Bitfolge übertragen, mit deren Hilfe empfängerseitig der Beginn der entsprechenden ATM-Zelle in dem seriellen Datenstrom erfaßt werden kann. Bei dieser charakteristischen Bitfolge handelt es sich vorzugsweise um ein ohnehin mit jeder ATM-Zelle übertragenes Synchronokett, so daß durch Überwachen des empfangenen Datenstromes auf das Auftreten dieses Synchronoketts hin der Beginn der entsprechenden ATM-Zelle erkannt und somit korrekt die Informationen des seriellen Datenstromes parallelisiert und auf entsprechende ausgangsseitige Datenkanäle aufgeteilt werden können.

Hierzu werden die digitalen Daten der eingangsseitig parallel zugeführten Datenkanäle bitweise in Dateneinheiten zusammengefaßt, die die jeweils zu übertragene ATM-Zelle bilden. Jede mit Hilfe des seriellen Datenstromes übertragene ATM-Zelle enthält somit mehrere Dateneinheiten, die jeweils eine identische Anzahl von Bits eines jeden parallelen Datenkanals umfassen. Im Prinzip ist denkbar, daß mit jeder Dateneinheit von jedem Datenkanal zwei oder mehr Bits übertragen werden. In der Praxis werden jedoch die eingangsseitig anliegenden parallelen Datenkanäle bitweise abgetastet, so daß jede Dateneinheit von jedem Datenkanal lediglich ein Bit aufweist. Innerhalb jeder Dateneinheit befindet sich das entsprechende Bit eines Datenkanals stets an derselben Stelle, so daß empfangsseitig nach Feststellen des Beginns einer Dateneinheit die einzelnen Bits leicht auf die parallelen ausgangsseitigen Datenkanäle aufgeteilt werden können. Besonders vorteilhaft ist die Verwendung von jeweils vier eingangsseitigen und ausgangsseitigen Datenkanälen, da somit die Daten der Datenkanäle vier-Bit-weise in Halbbytes zusammengefaßt werden können, wobei jedes Halbbyte eine zuvor beschriebene Dateneinheit der zu übertragenden ATM-Zelle bildet. Jedes Oktett einer ATM-Zelle umfaßt demnach zwei dieser Halbbytes. Die Daten jeder ATM-Zelle werden somit halbbyteweise seriell von dem Sender zu dem Empfänger übertragen.

Die erfindungsgemäß vorgeschlagene Auswertung der charakteristischen Bitfolge der Zelle, die ohnehin mit der Zelle übertragen wird und in der Regel durch das erste Byte jeder ATM-Zelle gebildet ist, ermöglicht, daß für die empfängerseitige Demultiplexierung des seriellen Datenstroms keine zusätzlichen Signale oder Synchronisierinformationen für die Kanalzuordnung erforderlich sind. Somit kann eine Erhöhung der Datenrate des optisch übertragenen seriellen Datenstromes mit den zuvor beschriebenen damit verbundenen Nachteilen vermieden werden. Die Erfindung ermöglicht somit eine Datenübertragung gemäß dem ATM-Übertragungsprinzip mit relativ geringem Schaltungsaufwand und erlaubt die Verwendung kleinerer Modulgrößen für die Sender- bzw. Empfängerbausteine. Des weiteren ist die Übertragung mit einer geringeren Verlustleistung möglich, und aufgrund des geringeren Schaltungsaufwandes können die Kosten reduziert werden.

Die Erfindung betrifft insbesondere die Übertragung von Daten innerhalb eines ATM-Vermittlungssystems.

Die Erfindung wird nachfolgend unter Bezugnahme auf die beigegebene Zeichnung anhand eines bevorzugten Ausführungsbeispiels näher erläutert. Dabei zeigt:

Fig. 1 eine schematische Darstellung eines bevorzugten Ausführungsbeispiels des erfindungsgemäßen ATM-Breitband-Übertragungssystems,

Fig. 2 den internen Aufbau einer ATM-Zelle, die über den in **Fig. 1** gezeigten seriellen Datenfluß von einem Sender zu einem Empfänger übertragen wird,

Fig. 3a eine Darstellung des prinzipiellen Datenflusses gemäß dem ATM-Übertragungsprinzip, und

Fig. 3b eine schematische Darstellung eines bekannten

ATM-Breitband-Übertragungssystems.

Fig. 1 zeigt schematisch den Aufbau eines bevorzugten Ausführungsbeispiels des erfindungsgemäßen ATM-Übertragungssystems. Von außen betrachtet entspricht dieser

- 5 Aufbau im wesentlichen dem in **Fig. 3** dargestellten bereits bekannten Aufbau. Eine Sendeeinrichtung S empfängt mehrere Datenkanäle K₀-K₃ sowie ein Taktignal T und wandelt die an ihr parallel anliegenden digitalen Daten dieser Datenkanäle in einen seriellen Datenstrom D um, der aus einer Vielzahl von nacheinander übertragenen ATM-Zellen besteht. Dieser serielle Datenstrom D wird von einer Empfangseinrichtung E empfangen und ausgewertet und ausgangsseitig den ausgangsseitigen Datenkanälen K₀-K₃ zugewiesen. Eine Besonderheit des in **Fig. 1** dargestellten
- 10 Ausführungsbeispiels ist jedoch die Tatsache, daß der Sendeeinrichtung S vier Datenkanäle K₀-K₃ zugeführt werden, deren digitale Daten vier-Bit-weise parallel erfaßt und in den seriellen Datenstrom D umgesetzt, d. h. gemultiplext werden. Die Sendeeinrichtung S überträgt den seriellen Datenstrom optisch über eine Lichtwellenleiteranordnung an die Empfangseinrichtung E. Die einzelnen Datenkanäle K₀-K₃ können beispielsweise eine Übertragungsraten von 830 Mbit/s aufweisen, während der serielle ATM-Datenstrom dementsprechend mit einer Datenrate von 3,3 Gbit/s
- 15 optisch übertragen wird.

Das vier-Bit-weise parallele Einlesen der digitalen Daten der vier Datenkanäle K₀-K₃ ist, wie nachfolgend noch näher erläutert wird, insbesondere deshalb vorteilhaft, da die parallel eingelesenen vier Bits der einzelnen Datenkanäle K₀-K₃ in der Sendeeinrichtung S besonders einfach zu Dateneinheiten in Form von Halbbytes zusammengefaßt werden können, die in Form von ATM-Zellen von der Sendeeinrichtung S zur Empfangseinrichtung E übertragen werden. Jede zu übertragende ATM-Zelle des seriellen Datenstromes D umfaßt demnach gemäß dem in **Fig. 1** gezeigten Ausführungsbeispiel eine Vielzahl von seriell übertragenen Halbbytes, die jeweils von jedem Datenkanal K₀-K₃ ein parallel eingelesenes Bit umfassen.

Nachfolgend soll der Aufbau der von der Sendeeinrichtung S zu der Empfangseinrichtung E übertragenen ATM-Zellen des seriellen Datenstromes D unter Bezugnahme auf **Fig. 2** näher erläutert werden. Dabei handelt es sich um ein bevorzugtes Beispiel eines von der Anmelderin für einen Multicastbetrieb verwendeten Zellenformats. Selbstverständlich sind auch andere ATM-Zellenformate möglich.

Die in **Fig. 2** gezeigte ATM-Zelle umfaßt den bereits eingangs beschriebenen normgemäßen ATM-Zellaufbau mit 53 Oktetts bzw. Bytes, die in **Fig. 2** durch die Oktetts Nr. 10-62 gebildet sind. Dieser normgemäße Zellaufbau ist in **Fig. 2** als "externe ATM-Zelle" bezeichnet und umfaßt zum einen einen "externen" Header sowie das bereits zuvor erwähnte Informationsfeld, in dem die eigentliche Nutzinformation (Payload) enthalten ist. Der "externe" Header umfaßt 5 Oktetts, während das Informationsfeld 48 Oktetts aufweist.

Gemäß **Fig. 2** werden diesem normgemäßen ATM-Zellaufbau mit 5 Header-Oktetts und 48 Informationsfeld-Oktetts von der in **Fig. 1** gezeigten Sendeeinrichtung zusätzliche Adreß- bzw. Steuerokette hinzugefügt, welche interne Routinginformationen für die Übertragung der ATM-Zellen zwischen den einzelnen Koppelbausteinen umfassen. Diese internen Adreß- bzw. Steuerinformationen umfassen gemäß **Fig. 2** einen "internen" Header mit zusätzlichen 10 Oktetts sowie einen die ATM-Zelle abschließenden "internen" Trailer mit einem Oktett, so daß die insgesamt von dem Sender S zu dem Empfänger E übertragenen ATM-Zellen gemäß **Fig. 2** insgesamt 64 Oktetts bzw. Bytes umfassen. Wie bereits anhand von **Fig. 3** erläutert worden ist, ist es im Prinzip bereits

bekannt, den normgemäß vorgeschriebenen 53 Oktette zu sätzliche Adreß- oder Steueroektts mit Routinginformatio-nen für die Übertragung hinzufügen.

Erfnungsgemäß wird jedoch nunmehr vorgeschlagen, innerhalb der ATM-Zelle eine charakteristische Bit folge zu übertragen, die innerhalb jeder ATM-Zelle empfängerseitig eindeutig identifiziert werden kann. Der Empfänger über-wacht den ihm zugeführten seriellen Datenstrom auf das Auftreten dieser charakteristischen Bit folge hin und kann nach Erkennen dieser charakteristischen Bit folge den Anfang der entsprechenden ATM-Zelle innerhalb des seriell übertragenen Datenstroms ermitteln und feststellen. Dies ist gemäß der vorliegenden Erfindung insbesondere deshalb möglich, da senderseitig die parallel eingelesenen Bits der digitalen Datenkanäle K₀-K₃ (vgl. Fig. 1) in Dateneinheiten zusammengefaßt werden, wobei jede Dateneinheit von jedem Datenkanal eine identische Anzahl von Bits aufweist. Die Bits jedes Datenkanals haben innerhalb der einzelnen Dateneinheiten stets dieselbe Position, so daß nach Feststellen der charakteristischen Bit folge im Empfänger der Be-ginn der ersten Dateneinheit der entsprechenden ATM-Zelle, d. h. die Lage der einzelnen Dateneinheiten im seriellen optischen Datenstrom, ermittelt und die einzelnen Bits der einzelnen Dateneinheiten korrekt ausgangsseitig auf die einzelnen Datenkanäle K₀-K₃ aufgeteilt werden können.

Im Prinzip wäre es möglich, daß die einzelnen seriell übertragenen Dateneinheiten jeder ATM-Zelle von jedem Datenkanal K₀-K₃ zwei oder mehr Bits aufweisen, wobei beispielsweise die Bits 0 und 1 dem Datenkanal K₀, die Bits 2 und 3 dem Datenkanal K₁ usw. zugewiesen sind. In diesem Fall würden die zu übertragenen Dateneinheiten jeweils durch ein volles Byte gebildet werden, wobei jede ATM-Zelle entsprechend byteweise von dem Sender zu dem Emp-fänger übertragen werden würde.

Es ist jedoch vorteilhaft, senderseitig abhängig von dem zugeführten Taktignal T (vgl. Fig. 1) von jedem Datenkanal K₀-K₃ jeweils nur ein Bit parallel einzulesen und zu multiplexen, so daß die von dem in Fig. 1 gezeigten Sender S zu dem Empfänger E übertragenen Dateneinheiten des seriellen Datenstromes jeweils durch Halbbytes mit vier Bits gebildet sind, wobei gemäß Fig. 2 128 seriell übertragene Halbbytes eine ATM-Zelle des seriellen Datenstromes D bilden. In anderen Worten bedeutet dies, daß jedes Oktett der in Fig. 2 gezeigten ATM-Zelle bevorzugt halbbyteweise durch Übertragen eines Halbbytes HB0 und eines nachfolgenden zweiten Halbbytes HB1 von dem Sender S zu dem Empfänger E übertragen werden. Der in Fig. 2 gezeigte Pfeil entspricht dabei der Übertragungsreihenfolge der ein-zelnen Halbbytes HB0 und HB1.

Damit die in den einzelnen Halbbytes enthaltenen Bits empfängerseitig korrekt erfaßt und auf die ausgangsseitigen Datenkanäle K₀-K₃ aufgeteilt werden können, muß der Empfänger E in dem ihm zugeführten seriellen Datenstrom D mit nacheinander übertragenen Halbbytes zum einen je-weils den Beginn der einzelnen ATM-Zellen und zum anderen innerhalb jeder ATM-Zelle den Beginn jedes Halbbytes ermitteln.

Zu diesem Zweck wird, wie bereits zuvor erläutert wor-den ist, innerhalb jeder ATM-Zelle des seriellen Datenstro-mes D eine charakteristische Bitfolge übertragen, die emp-fängerseitig auf ihr Auftreten hin überwacht wird. Diese charakteristische Bitfolge wird in jeder der übertragenen ATM-Zellen stets an derselben Stelle, d. h. im selben Oktett und auf dieselben Halbbytes aufgeteilt, übertragen. Erkennt somit der Empfänger das Auftreten dieser charakteristischen Bitfolge in dem ihm zugeführten seriellen Datenstrom D, kann er, da ihm der Zusammenhang zwischen der Position der charakteristischen Bitfolge innerhalb der ATM-Zelle

und dem Beginn der ATM-Zelle, d. h. der Lage der ATM-Zelle innerhalb des seriellen Datenstroms D, bekannt ist, den Beginn der entsprechenden ATM-Zelle und somit das erste Halbbyte dieser ATM-Zelle in dem seriellen Daten-strom ermitteln und die einzelnen Bits dieses ersten Halbbytes sowie der nachfolgenden Halbbytes der entsprechenden ATM-Zelle korrekt nacheinander auf die einzelnen aus-gangsseitigen Datenkanäle K₀-K₃ aufteilen, so daß diese entsprechend parallel ausgegeben werden.

Aufgrund der Tatsache, daß als charakteristische Bitfolge jeder ATM-Zelle eine ohnehin in dem in Fig. 2 gezeigten ATM-Zellenformat enthaltene und übertragene Bitfolge ver-wendet wird, entsteht für die empfängerseitige Synchroni-sierung, d. h. Zuordnung der einzelnen Bits des seriellen Datenstroms zu den entsprechenden ausgangsseitigen Da-tenanälen K₀-K₃ kein zusätzlicher Datenaufwand, d. h., es müssen keine zusätzlichen Synchronisierinformationen dem eigentlich zu übertragenden seriellen Datenstrom D hinzu-gefügt werden, so daß keine Redundanz auftritt.

Vorteilhafterweise kann als die zuvor beschriebene cha-rakteristische Bitfolge das erste Oktett einer jeden ATM-Zelle verwendet werden. Dieses in Fig. 2 dargestellte Oktett 0 wird bei Verwendung des in Fig. 2 gezeigten Zellenfor-mats in den in Fig. 1 und 3 dargestellten ATM-Breitband-Übertragungssystemen standardmäßig zur Auswertung und Ermittlung der entsprechenden ATM-Zelle in den einzelnen Koppelbausteinen (Sender, Empfänger) benötigt und als Synchron-Oktett bezeichnet. Dieses Synchron-Oktett um-faßt in Fig. 2 mit 0 bis 6 durchnumerierte Bits, die für jede 10 zu übertragende ATM-Zelle denselben Wert besitzen und somit fest sind. Das höherwertigste Bit 7 dieses Synchron-Oktetts, welches in Fig. 2 mit T bezeichnet ist, ist ein "Tog-glebit", welches von dem Sender von ATM-Zelle zu ATM-Zelle alternierend gesetzt wird. Vorteilhafterweise wird die-ses mit dem in Fig. 2 gezeigten ATM-Zellenformat ohnehin übertragene Synchron-Oktett als charakteristische Bitfolge verwendet, deren Auftreten in dem seriellen Datenstrom von dem Empfänger überwacht wird. Sobald der in Fig. 1 ge-zeigte Empfänger E das Auftreten dieser Bitfolge des Syn-chron-Oktetts in dem seriellen Datenstrom D erkannt hat, schließt er auf den Beginn einer neuen ATM-Zelle, die insgesamt einschließlich des Synchron-Oktetts 64 Oktette um-faßt, so daß der Empfänger E die einzelnen halbbyteweise übertragenen Oktette der entsprechenden ATM-Zelle aus-werten kann. Wie in Fig. 2 gezeigt ist, wird gemäß dem be-vorzugten Ausführungsbeispiel selbstverständlich auch das Synchron-Oktett halbbyteweise übertragen, d. h. die vier niedrigerwertigen Bits 0-3 des Synchron-Oktetts werden innerhalb eines ersten Halbbytes HB0 und die vier höherwer-tigen Bits 4-7 in einem nachfolgenden Halbbyte HB1 seriell übertragen.

Des weiteren ist in Fig. 2 auch der Zusammenhang der in den Halbbytes HB0 bzw. HB1 zusammengefaßten Bits und der entsprechenden Datenkanäle dargestellt. Wie bereits er-läutert worden ist, werden die einzelnen Oktette 0-63 jeder ATM-Zelle halbbytesweise durch die aufeinanderfolgende Übertragung eines ersten Halbbytes HB0 und eines zweiten Halbbytes HB1 von dem Sender zu dem Empfänger übertra-gen. Jedes dieser Halbbytes HB0, HB1 umfaßt vier parallel eingeliesene Bits der an dem Sender S anliegenden Datenkanäle K₀-K₃ (vgl. Fig. 1). Dabei ist innerhalb jedes Halbbytes HB0, HB1 eine Bitposition einem festen Datenkanal zu-geordnet. So entspricht beispielsweise gemäß Fig. 2 das Bit 0 jedes Halbbytes HB0 oder HB1 stets dem Datenkanal K₀, während beispielsweise das Bit 2 dem Datenkanal K₂ ent-spricht. Somit kann der Empfänger E die ihm zugeführte se-rielle Bitfolge einfach demultiplexen, da ihm nach Erken-nung des Auftretens des Synchron-Oktetts in dem seriellen

Datenstrom der Beginn des ersten Halbbytes der entsprechenden ATM-Zelle bekannt ist, so daß er gemäß der in Fig. 2 gezeigten Zuordnung einfach nacheinander jeweils ein Bit auf die ausgangsseitigen Datenkanäle K₀-K₃ verteilen muß, so daß die eingangsseitig anliegenden parallelen Datenkanäle wieder korrekt am Ausgang des Empfängers auftreten.

Nachfolgend soll ergänzend die Funktion der einzelnen Bestandteile des in Fig. 2 gezeigten ATM-Zellenformats kurz erläutert werden.

Der dem normgemäßen ("externen") ATM-Zellenformat mit insgesamt 53 Oktetts hinzugefügte "interne" Header umfaßt, wie bereits erläutert worden ist, insgesamt 10 Oktetts 0-9. Die einzelnen Oktetts dieses "internen" Headers umfassen Routinginformationen für die Übermittlung der entsprechenden ATM-Zellen. Innerhalb dieses internen Headers sind einige derzeit noch nicht benutzte und damit reservierte Bits R vorhanden. Die mit SSN (Switching State Number) bezeichneten Bits dienen dazu, die entsprechende ATM-Zelle gezielt zu einem bestimmten Koppelement zu übermitteln. So kann beispielsweise ein bestimmtes Koppelement anhand der Informationen dieses SSN-Bitfeldes erkennen, ob die jeweilige ATM-Zelle für das entsprechende Koppelement bestimmt ist. Die mit CF bezeichneten Bits definieren ein derzeit noch nicht genutztes Flag (Congestion Flag). Des weiteren enthält der interne Header ein Paritätsbit P zur Paritätsprüfung der in dem internen Header enthaltenen Routinginformationen. Mit AUX sind Hilfsbits (Auxiliary Bits) bezeichnet. Die Bits MCRA bezeichnen die interne Routingadresse der entsprechenden ATM-Zelle (Multicast Routing Address). Die Bits HK (House Keeping) dienen zur Klassifizierung der Zelle (Leerzelle usw.). Die Bits ADI (Address Identifier) dienen zur Definierung von Adressen für einen physikalischen Multicastbetrieb in den einzelnen Koppelementen. Mit Hilfe der Bits CDP (Cell Delay Priority) können Verzögerungsprioritäten für die einzelnen ATM-Zellen festgelegt werden. Die mit SN (Sequence Number) bezeichneten Oktetts des internen Headers dienen zur Durchnumerierung der einzelnen seriell übertragenen ATM-Zellen. Die mit RMS (Redundant Module Sender) und RMR (Redundant Module Receiver) bezeichneten Bits sind Spezialbits für eine weitergehende Redundanzklassifizierung der einzelnen ATM-Zellen. Dies ist insbesondere deshalb sinnvoll, da grundsätzlich alle ATM-Zellen aus Sicherheitsgründen zweimal übertragen werden.

Der ebenfalls dem normgemäßen Zellenformat (Oktett 10-62) abschließend hinzugefügte interne Trailer umfaßt eine mit FCS2 (Frame Check Sequence) bezeichnete Prüfbitfolge für die in dem Informationsfeld übertragenen Nutzinformationen (Payload).

Der Aufbau des "externen" Headers mit den normgemäß vorgeschriebenen 5 Oktetts 10-14 ist allgemein bekannt, so daß an dieser Stelle nicht weiter darauf eingegangen werden soll. Allgemein enthält dieser externe Header Adreßinformationen MCI (Multicast Connection Identifier) und VCI (Virtual Channel Identifier). Des Weiteren wird der Typ der in dem Informationsfeld übertragenen Nutzinformation bezeichnet (PTI (Payload Type Identification)) und der entsprechenden ATM-Zelle eine bestimmte Zellenpriorität (CLP, Cell Loss Priority) zugeordnet. Schließlich enthält der externe Header ein weiteres Prüfoktett (FCSI, Frame Check Sequence), der sowohl zur Überprüfung des externen Headers (Oktett 10-14) als auch der Oktette 2-9 des internen Headers dient.

Bezugszeichenliste

D serieller Datenstrom
K₀-K₃ parallele Datenkanäle
T Taktsignal
Z ATM-Zelle

5

Patentansprüche

1. Verfahren zum Übertragen von Daten in einem ATM-Übertragungssystem, umfassend die Schritte:

- Umwandeln von digitalen Daten einer bestimmten Anzahl von parallel zugeführten eingangsseitigen Datenkanälen (K₀-K₃) in Dateneinheiten (HB0, HB1), die jeweils von jedem Datenkanal (K₀-K₃) eine identische Anzahl von Bits umfassen,
- serielles Übertragen der einzelnen Dateneinheiten (HB0, HB1) in Form von Zellen, die jeweils aus einer bestimmten Anzahl dieser Dateneinheiten (HB0, HB1) bestehen, wobei jede Zelle eine bestimmte charakteristische Bitfolge umfaßt,
- Empfangen der seriell übertragenen Dateneinheiten (HB0, HB1),
- Überwachen der empfangenen Dateneinheiten (HB0, HB1) auf das Auftreten der charakteristischen Bitfolge hin und, nach Feststellen der charakteristischen Bitfolge, Ermitteln der ersten Dateneinheit (HB0) der der charakteristischen Bitfolge entsprechenden Zelle, und
- beginnend mit der ersten Dateneinheit (HB0) der der charakteristischen Bitfolge entsprechenden Zelle, Aufteilen der einzelnen Bits jeder Dateneinheit (HB0, HB1) der entsprechenden Zelle nacheinander auf eine der Anzahl der eingangsseitigen Datenkanäle (K₀-K₃) entsprechende Anzahl von parallelen ausgangsseitigen Datenkanälen (K₀-K₃) und paralleles Ausgeben der Bits jeder Dateneinheit (HB0, HB1) über die entsprechenden ausgangsseitigen Datenkanäle (K₀-K₃).

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die innerhalb jeder Zelle übertragene charakteristische Bitfolge 8 Bits umfaßt.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß im Schritt b) vor der Übertragung der charakteristischen Bitfolge das höherwertigste Bit der charakteristischen Bitfolge von Zelle zu Zelle alternierend gesetzt wird.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß die restlichen Bits der charakteristischen Bitfolge für jede Zelle gleich sind.

5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Anzahl der parallelen eingangsseitigen Datenkanäle (K₀-K₃) vier ist, wobei im Schritt a) die digitalen Daten der vier eingangsseitigen Datenkanäle (K₀-K₃) synchron in paralleler Form zugeführt werden.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß im Schritt a) die Daten der eingangsseitigen Datenkanäle (K₀-K₃) derart in die seriell zu übertragenden Dateneinheiten (HB0, HB1) umgewandelt werden, daß jede zu übertragende Dateneinheit (HB0, HB1) von jedem Datenkanal (K₀-K₃) ein synchron eingelesenes Bit umfaßt, wobei in jeder Dateneinheit (HB0, HB1) das Bit eines bestimmten Datenkanals (K₀-K₃) an derselben Stelle angeordnet ist.

7. Verfahren nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß im Schritt b) die charakteristische Bitfolge in Form von zwei aufeinanderfolgenden Dateneinheiten (HB0, HB1) mit jeweils vier Bits übertragen

wird.

8. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß im Schritt b) die charakteristische Bitfolge vor einer ersten die Bits der eingangsseitigen Datenkanäle (K_0-K_3) aufweisenden Dateneinheit der entsprechenden Zelle übertragen wird.

9. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß im Schritt b) die einzelnen Dateneinheiten (HB0, HB1) über ein optisches Übertragungsmedium übertragen werden.

10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß im Schritt a) die digitalen Daten der einzelnen parallelen eingangsseitigen Datenkanäle (K_0-K_3) getaktet in die seriell zu übertragenden Dateneinheiten (HB0, HB1) umgewandelt werden, und

daß im Schritt e) die einzelnen Bits jeder seriell übertragenen Dateneinheit (HB0, HB1) getaktet auf die einzelnen ausgangsseitigen parallelen Datenkanäle (K_0-K_3) aufgeteilt und ausgegeben werden.

11. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß jede Zelle einschließlich der charakteristischen Bitfolge 64 Bytes umfaßt, die im Schritt b) in 128 Dateneinheiten (HB0, HB1) mit jeweils vier Bits übertragen werden.

12. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß jede Zelle eine erste Gruppe von Dateneinheiten, welche Steuerinformationen aufweisen, und eine zweite Gruppe von Dateneinheiten, welche Nutzinformationen aufweisen, umfaßt, wobei die erste Gruppe die charakteristische Bitfolge für die entsprechende Zelle aufweist.

13. Verfahren nach Anspruch 11 und 12, dadurch gekennzeichnet, daß die erste Gruppe 16 Bytes und die zweite Gruppe 48 Bytes umfaßt.

14. ATM-Übertragungssystem, mit einer Sendeeinrichtung (S), welche digitale Daten einer bestimmten Anzahl von ihr parallel zugeführten eingangsseitigen Datenkanälen (K_0-K_3) in Dateneinheiten (HB0, HB1) derart umwandelt, daß jede Dateneinheit (HB0) von jedem Datenkanal (K_0-K_3) eine identische Anzahl von Bits umfaßt, und die einzelnen Dateneinheiten (HB0, HB1) seriell in Form von Zellen über ein Übertragungsmedium (D) überträgt, wobei jede Zelle aus einer bestimmten Anzahl von Dateneinheiten (HB0, HB1) besteht und jeweils eine bestimmte charakteristische Bitfolge umfaßt, und

mit einer Empfangseinrichtung (E), die die von der Sendeeinrichtung (S) seriell übertragenen Dateneinheiten (HB0, HB1) empfängt und auf das Auftreten der charakteristischen Bitfolge hin überwacht, wobei die Empfangseinrichtung (E) nach Feststellen der charakteristischen Bitfolge in den seriell übertragenen Dateneinheiten (HB0, HB1) die erste Dateneinheit der charakteristischen Bitfolge entsprechenden Zelle ermittelt und beginnend mit dieser ersten Dateneinheit die einzelnen Bits jeder Dateneinheit (HB0, HB1) der entsprechenden Zelle nacheinander auf eine der Anzahl der eingangsseitigen Datenkanäle (K_0-K_3) entsprechende Anzahl von parallelen ausgangsseitigen Datenkanälen (K_0-K_3) aufteilt und parallel ausgibt.

15. ATM-Übertragungssystem nach Anspruch 14, dadurch gekennzeichnet, daß die Sendeeinrichtung (S) und die Empfangseinrichtung (E) derart ausgestaltet sind, daß die digitalen Daten der der Sendeeinrichtung (S) zugeführten parallelen Datenkanäle (K_0-K_3) gemäß dem Verfahren nach einem der Ansprüche 2-13 von der Sendeeinrichtung (S) zu der Empfangseinrich-

tung (E) übertragen und dort über die parallelen ausgangsseitigen Datenkanäle (K_0-K_3) ausgegeben werden.

16. ATM-Übertragungssystem nach Anspruch 14 oder 15, dadurch gekennzeichnet, daß die der Sendeeinrichtung (S) zugeführten parallelen Datenkanäle (K_0-K_3) und/oder die mit der Empfangseinrichtung (E) verbundenen parallelen ausgangsseitigen Datenkanäle (K_0-K_3) eine Datenübertragungsrate von ca. 830 Mbit/s aufweisen, und daß die Sendeeinrichtung (S) die einzelnen Dateneinheiten (HB0, HB1) seriell mit einer Datenrate von ca. 3,3 Gbit/s optisch zu der Empfangseinrichtung (E) überträgt.

Hierzu 2 Seite(n) Zeichnungen

FIG 1

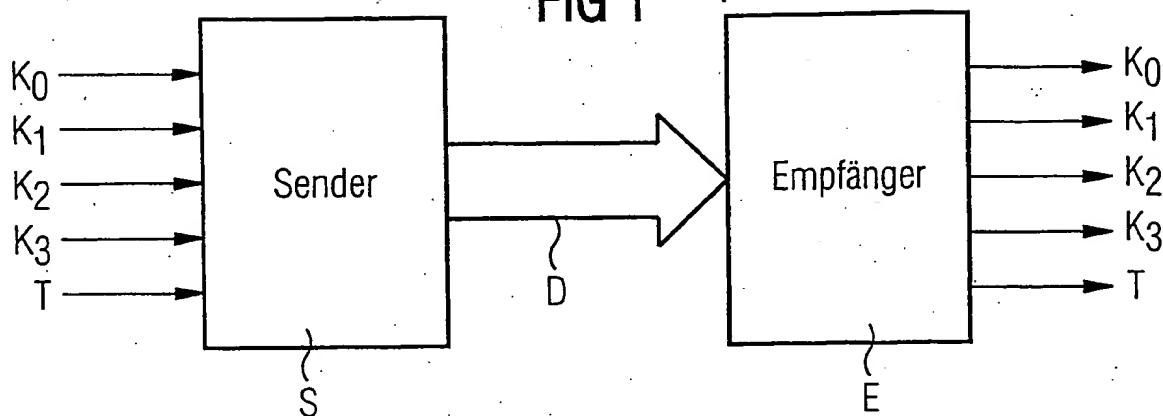


FIG 3 A

(Stand der Technik)

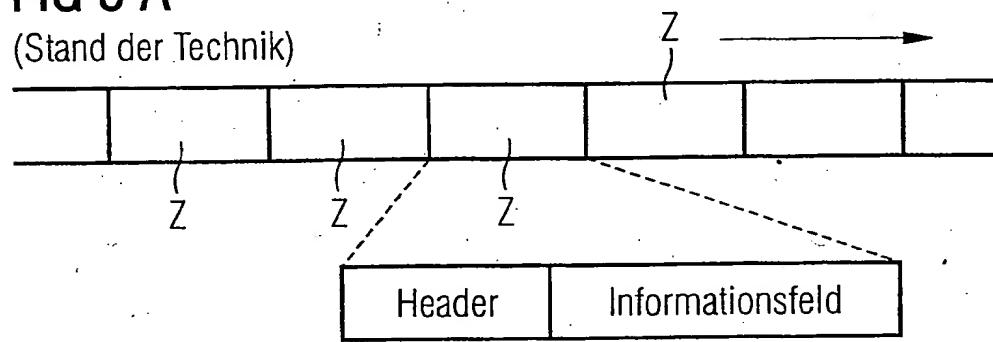


FIG 3 B

(Stand der Technik)

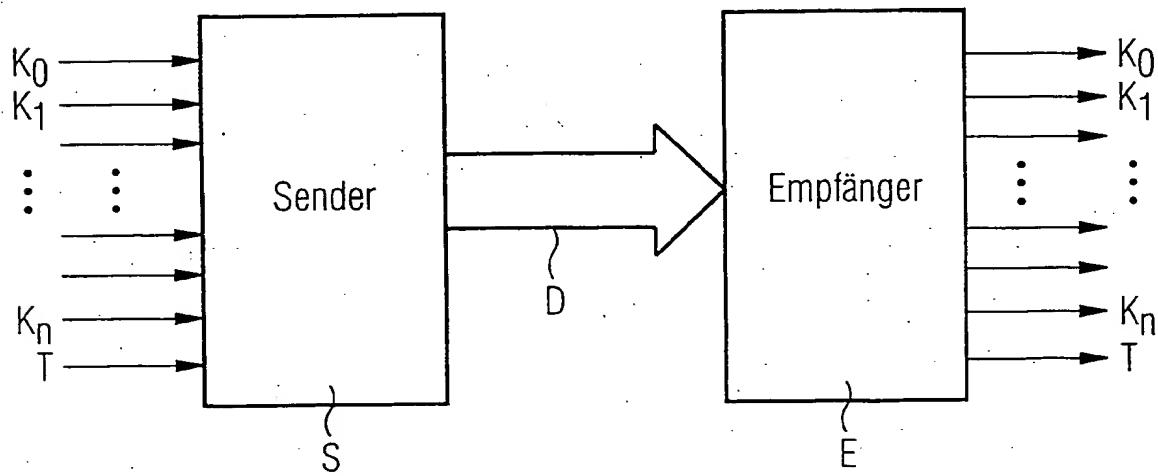
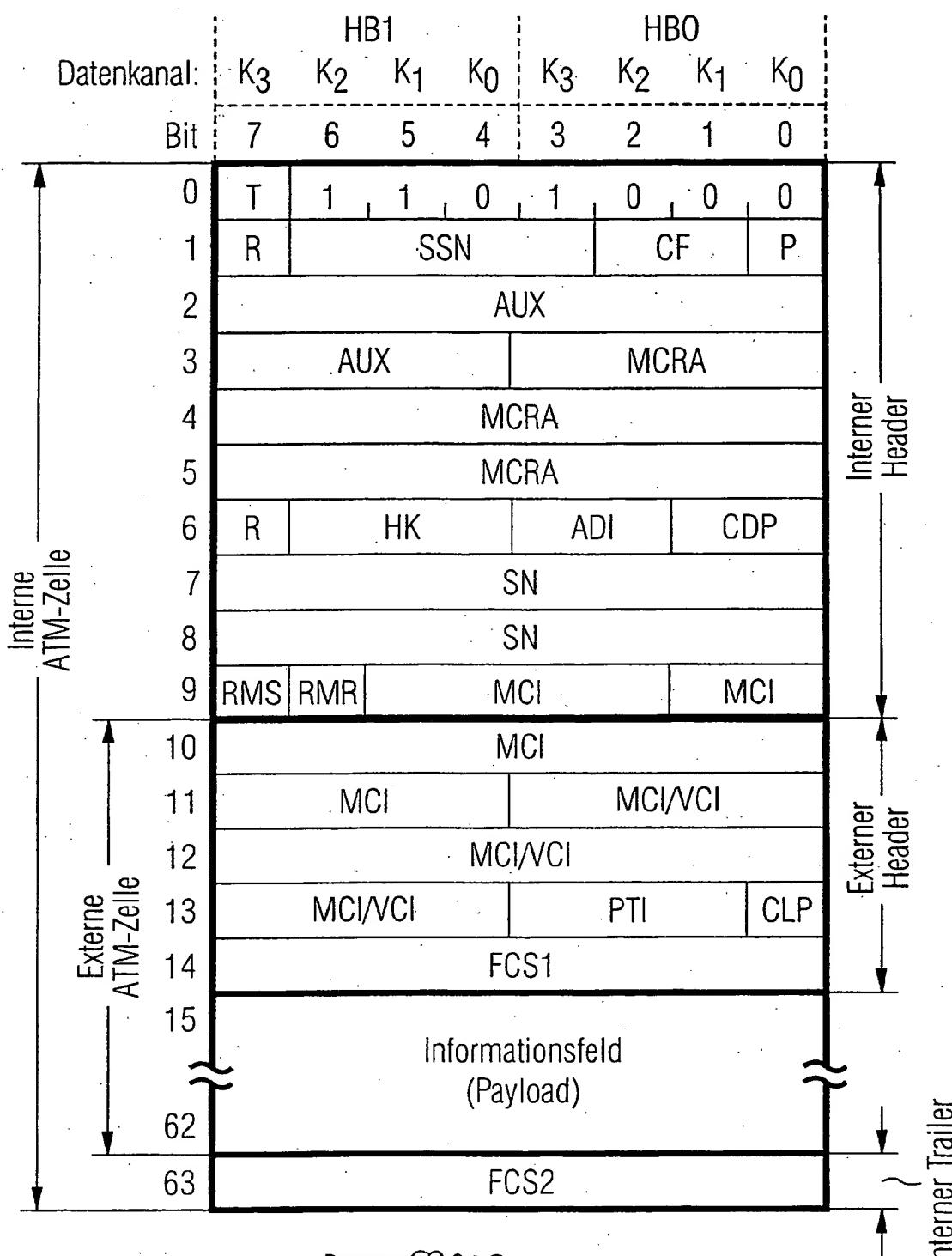


FIG 2



Docket # GROOP 12473

Applic. # 09/886,563

Applicant: Graf

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101